3 – Hardware de sistemas embarcados

3.4 – Unidades de processamento

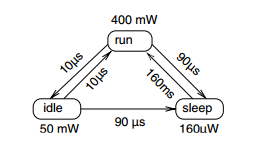
3.4.1 – Overview

* ASICS, Lógica reconfigurável e Processadores.
* Numero de operações por Watt é maior nos Asic.
* Processadores oferecem maior flexibilidade.
* Para processadores otimizados a eficiência de potencia se aproxima das do reconfigurável.
* Energia é a potência no tempo.
* Potencia tem efeito no tamanho da voltagem de alimentação, e componentes de reguladores.
* Energia tem influencia em dispositivos mobile, pois a tecnologia das baterias cresce lentamente.
* Baixa energia também diminui o calor.

3.4.2 – ASICs

* Custo alto de manufatura.
* Usado somente se um uso máximo de energia é necessário, se o mercado aceitar o custo ou se um grande número for produzido.

3.4.3 – Processadores

* Vantagem chave: flexibilidade.
* Pode mudar o sistema inteiro apenas mudando o software.
* Eficiência energética:
  + Eficiência energética deve ser consideram em vários níveis de abstração.
  + Gate clocking, desliga o “periférico” se não tiver usando para evitar desperdício.
  + GSLA X GALS
  + Dynamic Power Management: Processadores tem diversos estados de energia além do estado normal de operação, cada estado tem um consumo e um tempo de transição para o estado normal.
  + 
  + Dynamic voltage scaling: Explora o fato de que a potencia cresce quadraticamente com a tensão em dispositivos CMOS
  + 
  + Delay circuit pode ser aproximado para:
  + 
  + Frequência máxima de clock é um função da voltagem.
  + Diminuir a voltagem diminui a potencia dissipada quadraticamente, mas o algoritmo linearmente.
  + Alterar a voltagem para alterar o consumo de energia.
* Eficiência no Tamanho de código
  + A memória é geralmente limitada e não há discos rígidos.
  + Especialmente evidente para Socs onde a memória é embutida no mesmo chip do processador.
  + Muitas máquinas implementam eficiência no tamanho de código:
    - Máquinas CISC: Como é um padrão mais antigo eles eram otimizados para o código, pois tinham q se comunicar com memórias lentas.
    - Técnicas de compressão: Instruções são guardadas comprimidas na memória. Um decoder é usado entre a memória e o processador pra produzir a instrução original.
      * Salvar espaços na ROM e RAM
      * Sempenalidades na conversão.
      * Decodificação deve trabalhar num conexto limitado.
      * Tamanho da memória e da palavra devem ser considerados.
      * Deve suportar branches.
    - Várias variações desse esquema:
      * Second intruction set.
* Eficiência na execução
  + Utilização de hardware específico para minimizar uma operação em menos instruções.

3.4.3.1- DSPs

* Hardware específico.
* Modos especializados de endereçamento.
* Geradores de endereço separados.
* Aritmética de saturação.
* Aritmética de ponto fixo.
* Real time.
* Memória.
* Registradores heterogêneos.
* Instruções de multiplicação e acumulação.

3.4.3.2 – Processadores multimídia

* Single instruction, multi data

3.4.3.3 – VLIW

* Processadores de PC gastam muitos recursos tentando implementar paralelismo.
* EPICS implementam paralelismo a nível de compilador.
* VLIW encapsula várias instruções em uma única palavra.
* Delayed branch x Predição.

3.4.3.4 – Microcontroladores

* Não muito complexos.
* 8 bits
* Usarts
* IO
* Counters